

FLIP FLOPOVI- Bistabil

Bistabilna kola služe za memorisanje bita. To su sekvencijalna kola koja mogu da budu u dva stabilna stanja, 0 ili 1, otuda naziv bistabilna kola ili bistabili.

Dakle, bistabil, eng. flip-flop, je sekvencijalni sklop digitalne elektronike koji može zapamtiti podatak veličine jedan bit. S aspekta elektronike radi se o bistabilnom multivibratoru, tj. o sklopu koji ima dva stabilna stanja (kojima pridajemo značenje logičke 0 i 1).

Stabilno stanje (memorisani bit) se može održavati proizvoljno dugo, a može se djelovanjem ulaznih signala promijeniti (unos novog sadržaja).

Bistabil ima bar jednu izlaznu liniju na kojoj se dobija njegovo stanje (memorisani bit).

Bistabili u osnovnoj izvedbi, zvanoj SR bistabil, imaju dva ulaza i dva izlaza, no postoje i složenije izvedbe koje imaju i do pet ulaza (poput MS bistabila, engl. master-slave flip-flop). Neki od tih ulaza mogu reagovati na logičko stanje na njima, dok neki reaguju na promjenu stanja.

Ulazni impulsi koji se dovode bistabilu se znaju nazivati i okidni impulsi. **Promjena iz jednog stabilnog stanja u drugo naziva se okidanje bistabila.**

Ulazi se označavaju u zavisnosti od vrste bistabila, dok se izlazi označavaju s Q (logičko stanje bistabila) i \overline{Q} (logički komplement izlaza Q).

Flip-flobove možemo podijeliti u dvije osnovne grupe i to na asinhronone i sinhronone.

Asinhroni flip-floповi imaju svojstvo da reagiraju na promjenu impulsa čim se pojavi na ulazu u sklop, što daje pogrešan rezultat kada se ulazni impulsi ne dovode istovremeno na ulaz.

Sinhroni flip-flop je verzija asinhronog koji ima dodatni ulaz (CLK, eng. clock) na koji se dovode sinhronizacijski impulsi konstantne frekvencije tako da flip-flop mijenja stanje na promjenu okidnog impulsa.

SR bistabil -RS flip flop-

SR bistabil ima dva ulaza S i R po kojima je i dobio ime. Ulaz S se naziva set (eng. set, postaviti) ulaz, dok je ulaz R reset ulaz (eng. reset, poništiti).

Način rada možemo opisati riječima kao:

Postavljanjem ulaza S u logičko stanje 1, a ulaza R u logičko stanje 0 izlaz Q se postavlja u stanje 1, a izlaz Q' u stanje 0. Ukoliko se na ulaz S dovede logička 0, a na ulaz R logička 1 na izlazu Q se dobije logička 0, a na izlazu Q' logička 1.

Ako se na ulaze S i R istovremeno dovedemo logičku 0 ili logičku 1 tada se radi o zabranjenoj kombinaciji koja uzrokuje nepredviđeno stanje na izlazu.

Stanje bistabila se opisuje jednačinom stanja:

$$Q_{n+1} = S + Q_n \overline{R}$$

pri čemu je potrebno uvesti i dodatnu jednadžbu koja eliminiše zabranjene kombinacije:

$$SR = 0. \text{ Gdje je:}$$

Q_n - stanje izlaza u trenutku promatranja

Q_{n+1} - stanje izlaza u sljedećem trenutku

Najčešći način zapisivanja rada bistabila je korištenjem tablice stanja

S	R	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	X	0
1	0	X	1
1	1	X	neodređeno

Na osnovu odgovarajuće Karnoove mape (tabela T1), jednostavno se nalazi funkcija prelaza RS flip-flopa:

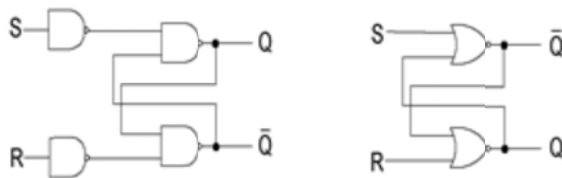
$$Q(t+1) = S(t) + \overline{R(t)} \cdot Q(t)$$

RS flip-flop se sastoji od ukrštene veze dva logička kola.

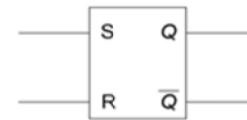
Njihovu vezu ostvarujemo tako da izlaz prvog spajamo na ulaz drugog, a izlaz drugog na ulaz prvog.

Ovom vezom ostvarena je pozitivna povratna sprega potrebna za ostvarivanje procesa pri promeni stabilnih stanja.

Interpretacija strukture RS flip-flopa, koji su sačinjeni ukrštanjem dva dvoulazna NILI kola, kao i struktura sačinjena od NI kola nalaze se na slici 1a), dok je na slici 1.b) prikazana standardna simbolička oznaka flip-flopa.



slika 1a)



slika 1b)

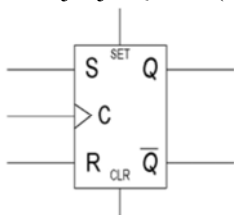
Stanje $Q(t+1)$ predstavlja ono stanje u koje će flip-flop preći u narednom trenutku $(t+1)$ a to ne zavisi samo od ulaznih signala $S(t)$ i $R(t)$ već i od stanja flip-flopa $Q(t)$ u posmatranom trenutku t .

Kada RS flip-flop sa NILI kolima na svojim ulazima ima vrednosti $S(t)=1$ i $R(t)=1$, imamo da je $Q(t+1) = (t+1) = 0$, bez obzira na prethodno stanje $Q(t)$, iz toga vidimo da se **komplementarnost flip-flopa nestaje**. Ovo stanje na izlazu zadržava se samo dok vrednosti ulazna iznose $S = R = 1$, tako da to nije u skladu sa definicijom memorijskog elementa da zadržava izlazno stanje i po prestanku pobudnih signala koji su to izlazno stanje i uzrokovali

Odavde iznosimo zaključak da RS flip-flop sa NILI kolima prestaje da bude memorijski element pri ulaznoj kombinaciji $S = R = 1$, jer tada dolazi do prekidanja pozitivne sprege između logičkih elemenata koji čine tu povratnu spregu.

Iz toga razloga ova je ulazna kombinacija zabranjena, odnosno ne koristi se, što se i vidi na mestima u tabeli prelaza gde je moguće upotrijebiti proizvoljne vrednosti (označeno crticom "-" u tabeli).

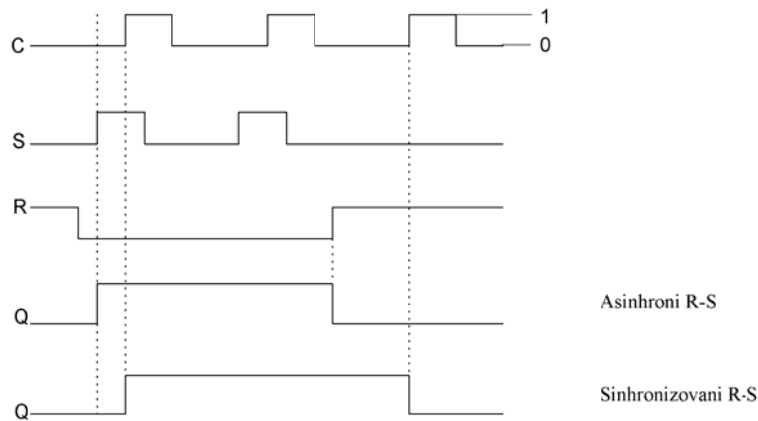
U praksi se češće koriste sinhronizovani R-S bistabili za dodatnim priključkom za signal dozvole C i postavljanje Q na 1 (SET) ili na $\overline{Q} = 0$ (CLR)



C - ulaz za signal dozvole, po pravilu taktni signal (clock) signal

SET - postavljanje Q na 1 bez obzira na ostale signale (setovanje)

CLR - postavljanje Q na 0 bez obzira na ostale signale (resetovanje)



D bistabil

D bistabil je modifikacija SR bistabila koja se dobije tako da se ulazna varijabla spoji direktno na ulaz S, dok se na ulaz R dovede invertirani ulaz.

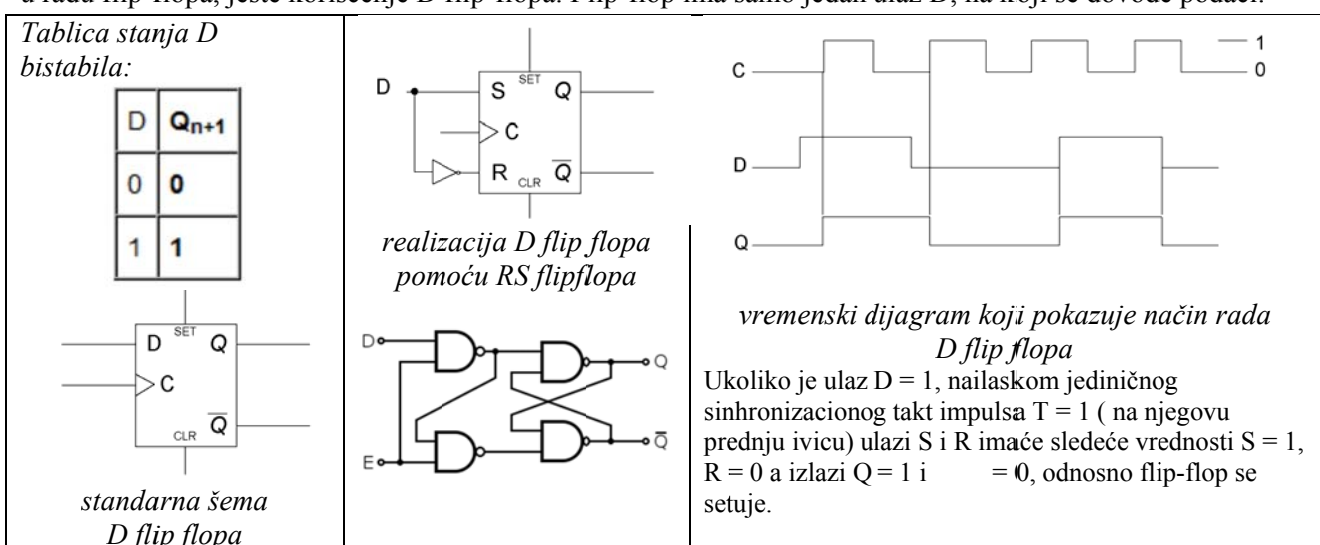
D bistabil jednostavno samo upisuje (odnosno daje na izlazu) podatak koji mu je dan na ulazu, pa ga zbog toga možemo promatrati kao elementarnu česticu za memoriranje jednog bita, ili kao element za kašnjenje ukoliko uključimo i CLK ulaz. Upravo zbog ovih svojstava (eng. data, podatak i eng. delay, kašnjenje) bistabil je i dobio ime D bistabil.

Jednadžina stanja D bistabila: $Q_{n+1} = D$ odnosno:

$$Q(t+1) = D(t) \cdot Q(t) + \overline{D}(t) \cdot \overline{Q}(t)$$

D flip-flop je sinhronizovan bistabil sa jednim ulazom D. Vrijednost sa ulaza prelazi na izlaz Q, sinhronizovano sa taktinim signalom.

Načina da se osiguramo da ne dođe do istovremene pobude set i reset ulaza, odnosno do neodređenog stanja u radu flip-flopa, jeste korišćenje D flip-flopa. Flip-flop ima samo jedan ulaz D, na koji se dovode podaci.



Imamo da izlaz Q potpuno prati ulaz D, ali sa određenim kašnjenjem od jednog intervala periode. sinhronizovanog-takt-impulsa. Njegova primjena je značajna u pomjeračkim registrima, gdje se ulazni podatak pomjera na izlaz koji kasni za željeni takt interval.

Registri

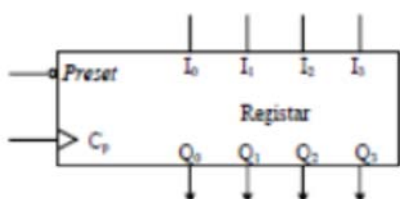
Registar čini grupa elemenata za pamćenje iz koje se može čitati ili u koju se može vršiti upis. Registri su sekvencijalne mreže koje služe za memorisanje binarnih podataka.

Pojam registra

Registar je najjednostavnija komponenta za memorisanje koju čini skup od n flipflopova.

S obzirom da je svaki flip-flop u stanju da pamti jednobitnu informaciju, n-bitni registar čini n flip-flopova, pa za ovakav registar kažemo da memoriše n-bitnu binarnu informaciju.

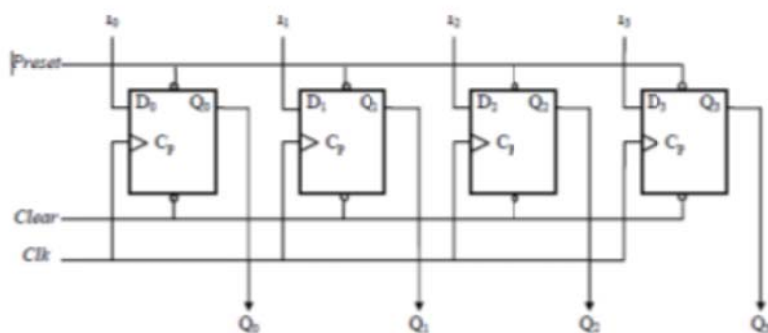
Najjednostavniji registar je registar koji sadrži samo flip-flopove bez spoljnih kola.



Grafički simbol.

Trenutno stanje	Naredno stanje			
<i>Load</i>	Q_0	Q_1	Q_2	Q_3
0	Nema promene			
1	I_0	I_1	I_2	I_3

Effekat signala *Load* na stanje na ulazu.



b) Šema registra.

Vrste registara

Vrste registara **prema načinu upisa** podatka

- paralelni registri

- serijski registri

Vrste registara **prema broju bita** u podatku koji se pamti

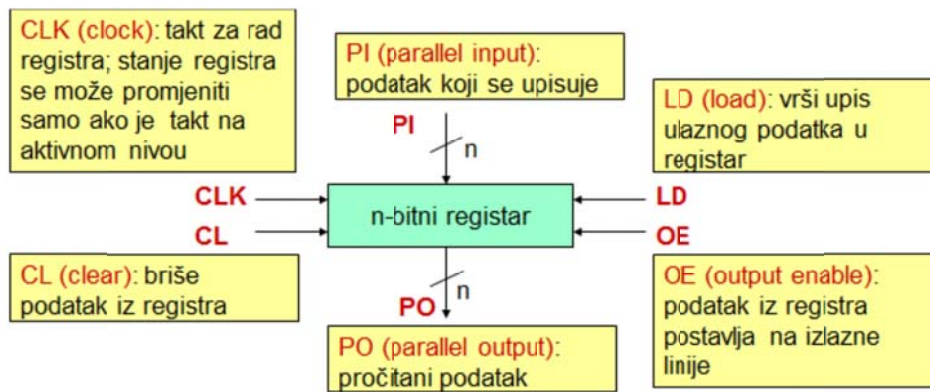
- 8-bitni registri

- 16-bitni registri

- 32-bitni registri

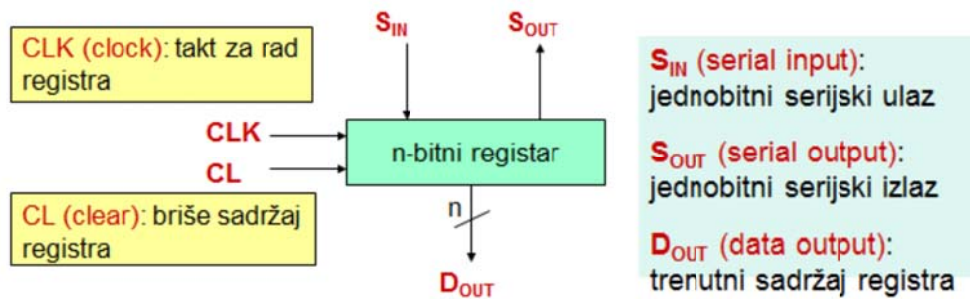
Napomena: osim ovih, postoje i druge vrste registara, ali se ove najčešće koriste.

Paralelni registar omogućava upis cijele informacije od n bitova u jednom trenutku, tj. za vrijeme jednog takta. Koristi se znatno češće od registra sa serijskim upisom.



Serijski registar

Serijski ili pomjerački registar omogućava pomjeranje zapamćene informacije za jedno mjesto od ulaza ka izlazu u skladu sa taktom. Koristi se u slučajevima kada je potrebno omogućiti serijski prijem ili slanje podataka (bit po bit).



Registarsko polje (Register file) predstavlja skup većeg broja registara u okviru jedinstvene integrisane komponente. Memrije sa proizvoljnim pristupom (RAM - Random Access Memories) predstavljaju generalizaciju registarskih polja sa znatno većim brojem ugrađenih elemenata za pamćenje. Pomjerački registar (shift register) sadrži logiku kojom se ostvaruje cirkulacija sadržaja među memorijskim elementima.

Procesorski registar (registri koje koristi ALU pri izvršavanju programa)

Registar, u računarstvu procesorski registar, je poseban dio procesora koji služi za čuvanje informacija koje su potrebne procesu tokom izvršavanja programa. Osnovne karakteristike su velika brzina, ali mali kapacitet. Brzina je posljedica rada na taktu centralnog procesora, što je u današnjim primjenama značajno više od takta operativne memorije. Kapacitet je posljedica činjenice da procesor ima mali dio izdvojen za skladištenje podataka spram operativne memorije koja je ogromna.

Većina današnjih računara radi na sljedeći način – podatak se iz operativne memorije učita u registar, obradi, potom vrati u operativnu memoriju – **to se zove čitaj-piši arhitektura**.